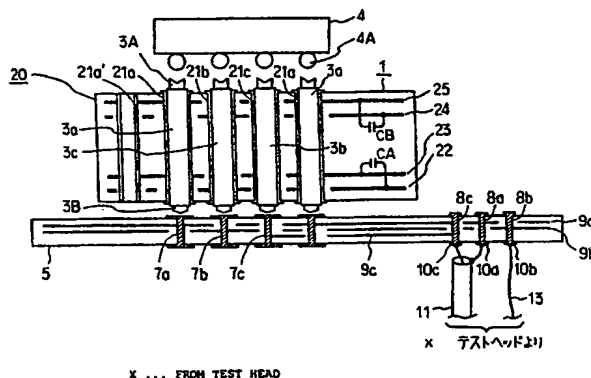


(51) 国際特許分類6 H01R 33/76, 33/945, H01L 23/32, 21/66, G01R 31/26, H05K 3/46	A1	(11) 国際公開番号 WO99/41812 (43) 国際公開日 1999年8月19日(19.08.99)
(21) 国際出願番号 PCT/JP99/00743 (22) 国際出願日 1999年2月17日(17.02.99) (30) 優先権データ 特願平10/34418 1998年2月17日(17.02.98) JP (71) 出願人 (米国を除くすべての指定国について) 株式会社 アドバンテスト (ADVANTEST CORPORATION)[JP/JP] 〒179-0071 東京都練馬区旭町一丁目32番1号 Tokyo, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 松村 茂(MATSUMURA, Shigeru)[JP/JP] 吉田健嗣(YOSHIDA, Kenji)[JP/JP] 〒179-0071 東京都練馬区旭町一丁目32番1号 株式会社 アドバンテスト内 Tokyo, (JP) (74) 代理人 弁理士 草野 卓, 外(KUSANO, Takashi et al.) 〒160-0022 東京都新宿区新宿四丁目2番21号 相模ビル Tokyo, (JP)	(81) 指定国 CN, JP, KR, SG, US 添付公開書類 国際調査報告書	

(54)Title: IC SOCKET

(54)発明の名称 ICソケット



(57) Abstract

An IC socket capable of restricting noises from power supply probe contacts and waveform distortion due to parasitic inductance in signal probe contacts and capable of avoiding impedance mismatches. A printed-circuit board (20) having at least 4 conductor layers, including grounding conductor layers (23 and 25) and power supply conductor layers (22 and 24) stacked alternately, is provided with a plurality of through hole conductors (21a, 21a', 21b and 21c). Except at least one through hole conductor (21a'), for example, the remainders (21a, 21b and 21c) are fitted, respectively, with probe contacts (3a, 3b and 3c) that are intended for contact with terminals of a DUT (4). The grounding conductor layers are connected electrically with the through hole conductors (21a and 21a'), while the power supply conductor layers are connected with the through hole conductor (21b), so as to form capacitors (CA and CB) that use the printed-circuit board (20) as a dielectric between the grounding conductor layers and the power supply conductor layers.

電源用プローブコンタクトや信号用プローブコンタクトの寄生インダクタンスにより発生する電源ノイズや波形歪みを抑圧し、或いはインピーダンス不整合が発生しないICソケットを提供する。グラウンド用導体層23、25と電源用導体層22、24とが交互に積層されている少なくとも4層の導体層を有する多層プリント基板20に複数のスルーホール導体21a、21a'、21b、21cを設け、少なくとも1つのスルーホール導体21a'を除く残りのスルーホール導体21a、21b、21cに、DUT4の端子に電気接触されるプローブコンタクト3a、3b、3cを取り付ける。上記グラウンド用導体層をスルーホール導体21a及び21a'に電氣的に接続し、上記電源用導体層をスルーホール導体21bに電氣的に接続し、グラウンド用導体層と電源用導体層との間にプリント基板20の材料を誘電体としたキャパシタCA、CBをそれぞれ形成する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	ES	スペイン	LI	リヒテンシュタイン	SG	シンガポール
AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア	TR	トルコ
BJ	ベナン	GR	ギリシャ		共和国	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	ML	マリ	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MN	モンゴル	UG	ウガンダ
CA	カナダ	ID	インドネシア	MR	モーリタニア	US	米国
CF	中央アフリカ	IE	アイルランド	MW	マラウイ	UZ	ウズベキスタン
CG	コンゴ	IL	イスラエル	MX	メキシコ	VN	ヴェトナム
CH	スイス	IN	インド	NE	ニジェール	YU	ユーゴスラビア
CI	コートジボワール	IS	アイスランド	NL	オランダ	ZA	南アフリカ共和国
CM	カメルーン	IT	イタリア	NO	ノールウェー	ZW	ジンバブエ
CN	中国	JP	日本	NZ	ニュージーランド		
CU	キューバ	KE	ケニア	PL	ポーランド		
CY	キプロス	KG	キルギスタン	PT	ポルトガル		
CZ	チェッコ	KR	韓国	RO	ルーマニア		
DE	ドイツ	KZ	カザフスタン	RU	ロシア		
DK	デンマーク	LC	セントルシア	SD	スーダン		
EE	エストニア			SE	スウェーデン		

明 細 書

I Cソケット

技術分野

この発明は、半導体集積回路（以下、I Cと称す）が電氣的に接触されるI Cソケットに関し、例えばI Cを試験するためのI C試験装置（一般にI Cテストと呼ばれる）に使用して好適なI Cソケットに関する。

背景技術

従来のI Cソケット1は、図6に示すように、絶縁性の樹脂ブロック2に垂直方向に複数のスルーホール2 Aをあけ、これらスルーホール2 Aにプローブコンタクトと呼ばれる円形の細長い導体（以下、プローブコンタクトと称す）3 a、3 b、3 cを、例えば圧入により取り付けした構成を有している。各プローブコンタクトの両端にはコンタクト3 A及び3 Bがプローブコンタクトの軸線方向に移動可能に取付けられている。図において上部のコンタクト3 Aは被試験I C（以下、D U Tと称す）4の端子に接触させられる。この例では、D U T 4はボール・グリッド・アレイ（Ball Grid Array）型のI C（I Cパッケージの裏面に多数個のボール状の端子（バンプ）が形成されている形式のI C：以下、B G A・I Cと称す）であるため、コンタクト3 Aの端面は、D U T 4のボール端子4 Aと安定した接触を得ることができるように、すり鉢状に窪んだ形状を有している。一方、下部のコンタクト3 Bは、ソケットボード5の表面に形成されたランド6と安定した接触を得るために、その先端部が円錐状に尖った形状を有している。

ソケットボード5はI Cソケット1を実装するためのプリント基板であり、通常は多層プリント基板で構成されており、その表面及び裏面（図では上面及び下面）に所定個数のランド（導電パッド）6がそれぞれ形成されている。表面及び裏面の対向する位置にある上下の各2つのランド6はスルーホールに形成されたスルーホール導体7 a、7 b、7 cにより電氣的に接続されている。また、I Cソケット1が実装されないソケットボード5の部分にもその表面及び裏面（図で

2

は上面及び下面)に所定個数のランド(図ではソケットボード裏面のランドのみが10a、10b、10cと指示されている)がそれぞれ形成されており、対向する位置にある上下の各2つのランドはスルーホールに形成されたスルーホール導体8a、8b、8cにより電氣的に接続されている。

上記構成のソケットボード5の表面にICソケット1を載置した際に、ソケットボード表面のランド6がICソケット1の対応するプローブコンタクトのコンタクト3Bと接触する。これらランド6は、スルーホール導体7a、7b、7c、ソケットボード内部の導体層(配線パターン)9a、9b、9c、及びスルーホール導体8a、8b、8cを通じて外部回路又は装置との接続用端子(ランド)10a、10b、10cに接続されており、よって、ICソケット1は外部回路又は装置と接続される。

ソケットボード5の内部には、この例では、3つの導体層(配線パターン)9a、9b、9cが互いに絶縁されて3層に形成されている。最上部の導体層9aはDUT4に共通電位を与えるグラウンド(GNDとも記す)用パターンであり、スルーホール導体7a及び8aと電氣的に接続されている。中間の導体層9bはDUT4に電源を供給するための電源用パターンであり、スルーホール導体7b及び8bと電氣的に接続されている。最下部の導体層9cはDUT4に試験信号を印加したり、DUTの応答信号を検出するための信号用パターンであり、スルーホール導体7c及び8cと電氣的に接続されている。

従って、この例ではスルーホール導体7a及び8aはグラウンド用スルーホール導体を構成し、スルーホール導体7b及び8bは電源用スルーホール導体を構成し、スルーホール導体7c及び8cは信号用スルーホール導体を構成する。また、ICソケット1のプローブコンタクト3aはグラウンド用プローブコンタクトを構成し、3bは信号用プローブコンタクトを構成し、3cは電源用プローブコンタクトを構成する。

信号用パターン9cと電気接続された信号用のランド10c及びグラウンド用パターン9aと電気接続されたグラウンド用のランド10aはケーブル11の芯線及びそのシールドを通じて、また、電源用パターン9bと電気接続された電源用のランド10bは配線13を通じて、それぞれパフォーマンスボード12に接

続され、さらに、このパフォーマンスボード12の内部の配線、及びプローブコンタクトピン15を通じてICテストのテストヘッド14に接続される。

DUT4及びICソケット1には、GND系の電流容量（共通電位点に流入する又は共通電位点から流入する電流容量）を大きくすると共にGND用の経路のインピーダンスを小さくするために、必要に応じて複数のボール4A及びこれと接触されるプローブコンタクト3aが形成されている。

従来のICソケット1ではプローブコンタクト3a、3b、3c自身のインダクタンスがDUT4への接続ラインに直列に挿入されるため、インピーダンスの不整合が発生するという欠点があった。このインピーダンスの不整合は、高速な信号波形を歪ませて測定精度を低下させたり、電源波形を歪ませて電源ノイズを発生させたりする原因となる。

発明の開示

この発明の1つの目的は、従来技術のICソケットが有する上記の問題点を解決したICソケットを提供することである。

この発明の他の目的は、インピーダンスの不整合が発生しないICソケットを提供することである。

この発明のさらに他の目的は、多層プリント基板に形成したグラウンド用導体層と電源用導体層との間に電源雑音をバイパスさせるためのキャパシタンスを生成し、電源の波形歪みや電源ノイズの発生を抑圧したICソケットを提供することである。

上記目的を達成するために、この発明の第1の面においては、グラウンド用導体層と電源用導体層とが所定の間隔で積層されている少なくとも2層の導体層を有し、かつ垂直方向に複数個のスルーホールが形成されている多層プリント基板と、この多層プリント基板の全てのスルーホールにそれぞれ形成されたスルーホール導体であって、上記グラウンド用導体層と電氣的に接続されたグラウンド用スルーホール導体、上記電源用導体層と電氣的に接続された電源用スルーホール導体、及び何れの導体層とも接続されない信号用スルーホール導体と、上記スルーホール導体にそれぞれ取り付けられた、被試験ICの端子に電気接触されるブ

ローブコンタクトとを具備し、上記グラウンド用導体層と上記電源用導体層との間に上記多層プリント基板の材料を誘電体としてキャパシタンスを生成させ、電源雑音をバイパスするように構成したICソケットが提供される。

好ましい一実施例においては、上記グラウンド用スルーホール導体は複数個形成されており、これらグラウンド用スルーホール導体の内の少なくとも1つには上記プローブコンタクトが取り付けられない。

また、上記信号用スルーホール導体と、上記グラウンド用導体層及び上記電源用導体層との間のギャップの距離が、これらギャップ間の静電容量と、上記プローブコンタクトの寄生インダクタンスとで形成される伝送線路の特性インピーダンスが所定値となるように、設定されている。

また、上記被試験ICがBGA・IC (Ball Grid Array type Integrated Circuit) である場合には、上記プローブコンタクトのそれぞれは、その被試験IC側の一端に、BGA・ICのボール状の端子と接触するコンタクトが形成され、反対側の端部にはICソケットを載置するソケットボードの表面に形成されたランドと接触するピンコンタクトが形成されている。

さらに、上記多層プリント基板はその内部に、グラウンド用導体層と電源用導体層とが所定の間隔で交互に積層されている少なくとも4層の導体層を有し、隣り合う2つのグラウンド用導体層と電源用導体層との間に上記多層プリント基板の材料を誘電体としてそれぞれキャパシタンスが生成される。

この発明の第2の面においては、上記多層プリント基板はその内部に、グラウンド用導体層と電源用導体層とが所定の間隔で交互に積層されている少なくとも4層の導体層を有し、上記信号用スルーホール導体の周囲に、2つのグラウンド用導体層間を、又は2つの電源用導体層間を電氣的に接続するインタスティシャル・バイア・ホール又はバイア・ホールが形成されているICソケットが提供される。

好ましい一実施例においては、2つのグラウンド用導体層と2つの電源用導体層が所定の間隔で交互に積層されており、上記信号用スルーホール導体の周囲に、上記2つのグラウンド用導体層間を、又は上記2つの電源用導体層間を電氣的に接続するインタスティシャル・バイア・ホール又はバイア・ホールが形成されて

いる。

また、上記グラウンド用スルーホール導体は複数個形成されており、これらグラウンド用スルーホール導体の内の少なくとも1つには上記プローブコンタクトが取り付けられない。

また、上記信号用スルーホール導体と、上記グラウンド用導体層及び上記電源用導体層との間のギャップの距離が、これらギャップ間の静電容量に、上記信号用スルーホール導体と上記バイア・ホールとの間に形成される静電容量を加えた合計の静電容量と、上記プローブコンタクトの寄生インダクタンスとで形成される伝送線路の特性インピーダンスが所定値となるように、設定されている。

また、上記被試験ICがBGA・ICである場合には、上記プローブコンタクトのそれぞれは、その被試験IC側の一端に、BGA・ICのボール状の端子と接触するコンタクトが形成され、反対側の端部にはICソケットを載置するソケットボードの表面に形成されたランドと接触するピンコンタクトが形成されている。

さらに、上記多層プリント基板はその内部に、グラウンド用導体層と電源用導体層とが所定の間隔で交互に積層されている少なくとも4層の導体層を有し、隣り合う2つのグラウンド用導体層と電源用導体層との間に上記多層プリント基板の材料を誘電体としてそれぞれキャパシタンスが生成される。

この発明の第3の面においては、グラウンド用導体層と電源用導体層と信号用導電層とが所定の間隔で積層されており、かつ垂直方向に複数個のスルーホールが形成されている多層プリント基板と、この多層プリント基板の全てのスルーホールにそれぞれ形成されたスルーホール導体であって、上記グラウンド用導体層と電氣的に接続されたグラウンド用スルーホール導体、上記電源用導体層と電氣的に接続された電源用スルーホール導体、及び上記信号用導体層と電氣的に接続された信号用スルーホール導体と、上記スルーホール導体にそれぞれ取り付けられた筒状のソケットと、これら筒状のソケットに嵌着された、被試験ICの端子に電気接触されるプローブコンタクトとを具備し、上記グラウンド用導体層と上記電源用導体層との間に上記多層プリント基板の材料を誘電体としてキャパシタンスを生成させ、電源雑音をバイパスするように構成したICソケットが提供さ

れる。

好ましい一実施例においては、上記グラウンド用スルーホール導体は複数個形成されており、これらグラウンド用スルーホール導体の内の少なくとも1つには上記プローブコンタクトが取り付けられていない。

また、上記信号用スルーホール導体と、上記グラウンド用導体層及び上記電源用導体層との間のギャップの距離が、これらギャップ間の静電容量と、上記プローブコンタクトの寄生インダクタンスとで形成される伝送線路の特性インピーダンスが所定値となるように、設定されている。

さらに、上記被試験ICがBGA・ICである場合には、上記プローブコンタクトのそれぞれは、その被試験IC側の一端に、BGA・ICのボール状の端子と接触するコンタクトが形成され、上記多層プリント基板の少なくとも一方の面に、上記グラウンド用導体層、上記電源用導体層及び上記信号用導体層と電氣的に接続された外部接続用ランドが形成されている。

図面の簡単な説明

図1はこの発明によるICソケットの第1の実施例の構成及び電氣的接続を原理的に示す断面図である。

図2は図1に示したICソケットの電源用導体層とグラウンド用導体層間の電氣的接続を示す回路図である。

図3は図1に示したICソケットの信号用プローブコンタクト3cとその周辺の電氣的等価回路図である。

図4はこの発明によるICソケットの第2の実施例の構成及び電氣的接続を原理的に示す断面図である。

図5はこの発明によるICソケットの第3の実施例の構成及び電氣的接続を原理的に示す断面図である。

図6は従来のICソケットとその周辺装置の構成及び電氣的接続を原理的に示す断面図である。

発明を実施するための最良の形態

以下、この発明のいくつかの実施例について図1～図5を参照して詳細に説明する。なお、説明を簡単にするために、これら図面において図6と対応する部分、素子には同一符号を付けて示し、必要のない限りそれらの説明を省略する。

図1はこの発明によるICソケットの第1の実施例の構成及び電氣的接続を原理的に示す断面図である。この実施例でも図6に示した従来のICソケットと同様に、ICソケット1の上部のコンタクト3Aに接触する被試験IC(DUT)4はボール・グリッド・アレイ型のIC(BGA・IC)とする。

この実施例においては、ICソケット1は、グラウンド用導体層(配線パターン)と電源用導体層(配線パターン)とが所定の間隔で交互に積層されている少なくとも4層の導体層(配線パターン)を有し、かつ垂直方向に複数個のスルーホールが形成されている多層プリント基板20と、この多層プリント基板20の複数個のスルーホールにそれぞれ形成されたスルーホール導体21a、21a'、21b、21cと、これらスルーホール導体の内の少なくとも1つのスルーホール導体(この実施例では21a')を除く残りのスルーホール導体(この実施例では21a、21b、21c)に、例えば圧入によりそれぞれ取り付けられた、DUT4の端子に電氣接触されるプローブコンタクト3a、3b、3cとによって構成されており、上記グラウンド用導体層(以下、グラウンド用パターン又はGND用パターンと称す)23及び25はスルーホール導体21a及び21a'にそれぞれ電氣的に接続されており、上記電源用導体層(以下、電源用パターンと称す)22及び24はスルーホール導体21bにそれぞれ電氣的に接続されている。従って、スルーホール導体21a及び21a'はグラウンド用スルーホール導体を構成し、これらスルーホール導体21a及び21a'に取り付けられたプローブコンタクト3aはグラウンド用プローブコンタクトを構成し、また、スルーホール導体21bは電源用スルーホールを構成し、このスルーホール導体21bに取り付けられたプローブコンタクト3bは電源用プローブコンタクトを構成し、また、スルーホール導体21cは信号用スルーホールを構成し、このスルーホール導体21cに取り付けられたプローブコンタクト3cは信号用プローブコンタクトを構成する。

従来のICソケットと同様に、各プローブコンタクトの両端に取り付けられた

コンタクト 3 A 及び 3 B はプローブコンタクトの軸線方向に移動可能になっている。また、この実施例では D U T 4 は B G A ・ I C であるため、D U T 4 の端子（ボール 4 A）と接触する上部のコンタクト 3 A の端面はすり鉢状に窪んだ形状を有しており、ソケットボード 5 の表面のランドと接触する下部のコンタクト 3 B の先端部は円錐状に尖った形状を有している。D U T 4 が B G A ・ I C 以外の I C である場合には、上部のコンタクト 3 A は対応する被試験 I C の端子と確実に電気接触し得る形状を持つように形成されることは言うまでもない。なお、I C ソケット 1 が搭載されるソケットボード 5 は図 6 に示した従来の I C ソケットのソケットボードと同様の構成を有しているのでその説明を省略する。

上記構成の I C ソケット 1 においては、グラウンド用スルーホール導体 2 1 a 及び 2 1 a' が接続されている G N D 用パターン 2 3 と電源用スルーホール導体 2 1 b が接続されている電源用パターン 2 2 との間にプリント基板 2 0 の材料を誘電体としたキャパシタ（コンデンサ）C A が形成され、また、グラウンド用スルーホール導体 2 1 a 及び 2 1 a' が接続されている G N D 用パターン 2 5 と電源用スルーホール導体 2 1 b が接続されている電源用パターン 2 4 との間にプリント基板 2 0 の材料を誘電体としたキャパシタ（コンデンサ）C B がそれぞれ形成される。これらキャパシタ C A 及び C B はそれぞれ電源雑音をバイパスさせる機能を有する。なお、必要に応じてキャパシタ C A、C B と並列に、外付け用のキャパシタ（図示せず）を接続してもよい。

プローブコンタクトが取り付けられないスルーホール導体 2 1 a' は、G N D 用パターン 2 3 及び 2 5 を通じて G N D 用プローブコンタクト 3 a が取り付けられた G N D 用スルーホール導体 2 1 a と並列状態に接続され、G N D 用経路の直列インピーダンスを小さくしている。しかし、スルーホール導体 2 1 a' を省略する場合もある。

図 2 は図 1 に示した I C ソケット 1 の電源用パターン 2 2、2 4 とグラウンド用パターン 2 3、2 5 間の電氣的接続を示す。図 2 に示すように、G N D 用プローブコンタクト 3 a が嵌着される複数の G N D 用スルーホール導体 2 1 a、及び G N D 用プローブコンタクト 3 a が嵌着されない複数の G N D 用スルーホール導体 2 1 a' は G N D 用パターン 2 3 及び 2 5 を通じて互いに並列状態に接続され

る。その結果、共通電位点に流入する又は共通電位点から流入する電流容量、つまり、GND系の電流容量が増大されると共に、GND用経路の直列インピーダンスが小さく抑えられ、インピーダンス不整合の問題が発生しない。

その上、電源用プローブコンタクト3bの寄生インダクタンス L_a 、 L_b 、 L_c と、上記キャパシタ（静電容量） C_A 、 C_B とで低域フィルタ（LPF）が構成され、その通過帯域幅は十分広く設定可能できるので、DUT4の電源電流／電圧が階段状に変化しても、その立上り、立下り時に生ずる波形のオーバーシュートやアンダーシュートなどの波形歪みが問題ない程度に抑圧され、従って、これによって発生する雑音成分が問題ない程度に抑圧される。また、外部からのノイズも同時にこの低域フィルタにより抑圧される。

なお、図2において、 L_d 、 L_e 、 L_f はGND用プローブコンタクト3aの寄生インダクタンスを示し、 L_g はGND用スルーホール導体21a'の寄生インダクタンスを示す。

図3は図1に示したICソケット1の信号用プローブコンタクト3cとその周辺の電氣的等価回路図である。静電容量 C_A 及び C_B は、信号周波数に対してはかなり大きいので、電源用パターン22及び24は対応する静電容量 C_A 及び C_B を通じてGND用パターン23及び25にそれぞれ短絡される。一方、信号用スルーホール導体21cと、GND用パターン23、25及び電源用パターン22、24との間のギャップの距離 $d_1 \sim d_4$ が、それらのギャップに対応する静電容量 $C_1 \sim C_4$ と、信号用プローブコンタクト21cの寄生インダクタンス $L_1 \sim L_5$ とで作る伝送線路の特性インピーダンス Z_0 が所定値（例えば50オーム）となるように設定される。即ち、

$$Z_0 = \sqrt{\frac{L_1 + L_2/2}{C_1}} \approx \sqrt{\frac{L_2/2 + L_3/2}{C_2}} \approx \sqrt{\frac{L_3/2 + L_4/2}{C_3}} \approx \sqrt{\frac{L_4/2 + L_5}{C_4}} \quad (1)$$

このように、信号用プローブコンタクト3cの特性インピーダンス Z_0 が所定

の値に設定され、DUT 4、ソケットボード 5 とのインピーダンスの整合が図られる。これにより、従来の寄生インダクタンスに起因する信号の波形歪みが抑圧される。換言すれば、インピーダンスの不整合による波形歪みは抑圧される。

この発明による IC ソケットの第 2 の実施例を図 4 に示す。この実施例においては、IC ソケット 1 は従来のソケットボード 5 を兼用している。この IC ソケット 1 は、GND 用パターン 9 a、電源用パターン 9 b 及び信号用パターン 9 c が互いに絶縁状態で形成されている 3 層の導体層を有する多層プリント基板 20' を IC ソケット 1 の多層プリント基板として使用し、この多層プリント基板 20' に垂直方向に所定個数のスルーホールを形成し、これらスルーホールにスルーホール導体 21 a、21 a'、21 b、21 c を形成し、さらに、これらスルーホール導体の内の少なくとも 1 つのスルーホール導体（この実施例では 21 a'）を除く残りのスルーホール導体（この実施例では 21 a、21 b、21 c）に、例えば圧入により、筒状のソケット 30 a、30 b、30 c をそれぞれ取り付け、これら筒状のソケット 30 a、30 b、30 c に DUT 4 の端子（ボール 4 A）に電気接触されるプローブコンタクト 3 a、3 b、3 c を嵌着した構成を有する。

グラウンド用スルーホール導体 21 a 及び 21 a' は GND 用パターン 9 a とそれぞれ電氣的に接続され、電源用スルーホール導体 21 b は電源用パターン 9 b と電氣的に接続され、信号用スルーホール導体 21 c は信号用パターン 9 c と電氣的に接続されている。従って、プローブコンタクト 3 a は筒状のソケット 30 a を通じて GND 用パターン 9 a と電氣的に接続され、プローブコンタクト 3 b は筒状のソケット 30 b を通じて電源用スルーホール導体 21 b と電氣的に接続され、プローブコンタクト 3 a、3 b、3 c は筒状のソケット 30 c を通じて信号用スルーホール導体 21 と電氣的に接続される。その結果、GND 用パターン 9 a と電源用パターン 9 b との間に、多層プリント基板 20' の材料を誘電体としたキャパシタ（コンデンサ）C が形成され、電源雑音をバイパスさせる。かくして、上記第 1 の実施例と同様に、電源の波形歪みや電源雑音の発生を抑圧できると共に、インピーダンスの不整合が発生しないという効果がある。なお、必要に応じてキャパシタ C と並列に、外付け用のキャパシタを接続してもよい。

図5はこの発明によるICソケットの第3の実施例の構成及び電氣的接続を原理的に示す断面図である。この実施例では、上記第1の実施例において信号用プローブコンタクト3cの周囲に所定の角度間隔で、GND用パターン23及び25間を電気接続する複数個のインタスティシャル・バイア・ホール(interstitial via hole)又はバイア・ホール31を設け、信号用スルーホール導体21cとグラウンド用パターン23及び25との間のギャップの距離 d_2 及び d_4 をあまり小さくすることなく、静電容量を大きくできるように構成したものである。

通常、ICソケット1には多数個の信号用プローブコンタクト3cが設けられているので、すべての信号用プローブコンタクト3cの周囲にGND用パターン23及び25間を電気接続する複数個の上記インタスティシャル・バイア・ホール又はバイア・ホール31を形成する。勿論、全部ではなくて所定個数の一部分の信号用プローブコンタクト3cの周囲にのみ、上記インタスティシャル・バイア・ホール又はバイア・ホール31を形成するだけでもよい場合もある。また、上記インタスティシャル・バイア・ホール又はバイア・ホール31はGND用パターン23及び25間を電気接続するのではなくて、電源用パターン22及び24間を電気接続するように形成しても同様の作用効果が得られる。この場合にも、すべての信号用プローブコンタクト3cの周囲に所定の角度間隔で電源用パターン22及び24間を電気接続する複数個の上記インタスティシャル・バイア・ホール又はバイア・ホール31を形成してもよいし、全部ではなくて所定個数の一部分の信号用プローブコンタクト3cの周囲にのみ、形成してもよい。

この第3の実施例の構成によっても上記第1の実施例と同等の作用効果が得られることは明白であるのでその説明を省略するが、第1の実施例の場合には、信号用スルーホール導体21cとグラウンド用パターン23及び25との間のギャップの距離 d_2 、 d_4 、或いは信号用スルーホール導体21cと電源用パターン22及び24との間のギャップの距離 d_1 、 d_3 を極めて小さくしないと、つまり、グラウンド用パターン23及び25、或いは電源用パターン22及び24を信号用スルーホール導体21cの周囲に非常に接近させないと、所要の静電容量 $C_1 \sim C_4$ が得られない。従って、GND用パターン23、25、或いは電源用パターン22、24を形成する作業の精度を非常に高くする必要があったが、上

記第3の実施例では信号用プローブコンタクト3cとこれに平行するバイア・ホール31との間の静電容量が大きいので、第1の実施例の場合のように信号用スルーホール導体21cとグラウンド用パターン23及び25との間のギャップの距離 d_2 、 d_4 、或いは信号用スルーホール導体21cと電源用パターン22及び24との間のギャップの距離 d_1 、 d_3 を小さくする必要がなくなる。よって、作業性が向上するという利点がある。

以上の説明で明らかなように、この発明によるICソケットは、GND用パターンと電源用パターンと信号用パターンよりなる導体層を所定の間隔をおいて積層した多層プリント基板を使用して、GND用パターンと電源用パターンとの間に電源雑音をバイパスさせるキャパシタを形成し、このキャパシタと電源用プローブコンタクトの寄生インダクタンスとにより低域フィルタ(LPF)を構成し、その帯域幅を十分広く設定できるように構成したので、電源用プローブコンタクトの寄生インダクタンスに起因する電源の波形歪み及び電源雑音の発生を抑圧することができるという利点がある。

また、信号用スルーホール導体と、GND用パターン及び電源用パターンとの間のギャップの距離を、これらギャップ間の静電容量、或いはこれら静電容量にバイア・ホールによる静電容量を加えた合計の静電容量と、信号用プローブコンタクトの寄生インダクタンスとで作る伝送線路の特性インピーダンスが所定値となるように設定したので、DUT等とのインピーダンス整合が図られ、信号の波形歪みが抑圧され、測定精度が向上するという利点がある。

なお、この発明はICテストに使用されているICソケットに適用できるだけでなく、ICが接触させられる種々の装置のICソケットに適用でき、同様の作用効果が得られることは容易に理解されよう。

以上、この発明を例示の実施例を用いて説明したが、この発明の精神及び技術的範囲から逸脱することなしに、これら実施例について種々の変形、変更、又は改良をなし得ることはこの分野の技術者には明らかである。従って、この発明は、上述し、かつ図面に示した実施例に限定されるものではなく、添付の請求の範囲によって定まる発明の範囲内に入る全てのそのような変形、変更、又は改良をも包含するものである。

請 求 の 範 囲

1. グラウンド用導体層と電源用導体層とが所定の間隔で積層されている少なくとも2層の導体層を有し、かつ垂直方向に複数個のスルーホールが形成されている多層プリント基板と、

この多層プリント基板の全てのスルーホールにそれぞれ形成されたスルーホール導体であって、上記グラウンド用導体層と電氣的に接続されたグラウンド用スルーホール導体、上記電源用導体層と電氣的に接続された電源用スルーホール導体、及び何れの導体層とも接続されない信号用スルーホール導体と、

上記スルーホール導体にそれぞれ取り付けられた、被試験ICの端子に電気接触されるプローブコンタクト

とを具備し、

上記グラウンド用導体層と上記電源用導体層との間に上記多層プリント基板の材料を誘電体としてキャパシタンスを生成させ、電源雑音をバイパスするように構成したことを特徴とするICソケット。

2. 上記グラウンド用スルーホール導体は複数個形成されていることを特徴とする請求の範囲第1項に記載のICソケット。

3. 上記多層プリント基板に上記グラウンド用スルーホール導体が複数個形成され、これらグラウンド用スルーホール導体の内の少なくとも1つには上記プローブコンタクトが取り付けられていないことを特徴とする請求の範囲第1項に記載のICソケット。

4. 上記信号用スルーホール導体と、上記グラウンド用導体層及び上記電源用導体層との間のギャップの距離が、これらギャップ間の静電容量と、上記プローブコンタクトの寄生インダクタンスとで形成される伝送線路の特性インピーダンスが所定値となるように、設定されていることを特徴とする請求の範囲第1項乃至第3項の何れか1つに記載のICソケット。

5. 上記被試験 IC が BGA・IC (Ball Grid Array type Integrated Circuit) であり、上記プローブコンタクトのそれぞれは、その被試験 IC 側の一端に、BGA・IC のボール状の端子と接触するコンタクトが形成され、反対側の端部には IC ソケットを載置するソケットボードの表面に形成されたランドと接触するピンコンタクトが形成されていることを特徴とする請求の範囲第 1 項乃至第 3 項の何れか 1 つに記載の IC ソケット。

6. 上記多層プリント基板はその内部に、グラウンド用導体層と電源用導体層とが所定の間隔で交互に積層されている少なくとも 4 層の導体層を有し、隣り合う 2 つのグラウンド用導体層と電源用導体層との間に上記多層プリント基板の材料を誘電体としてそれぞれキャパシタンスが生成させていることを特徴とする請求の範囲第 1 項乃至第 3 項の何れか 1 つに記載の IC ソケット。

7. 上記多層プリント基板はその内部に、グラウンド用導体層と電源用導体層とが所定の間隔で交互に積層されている少なくとも 4 層の導体層を有し、上記信号用スルーホール導体の周囲に、2 つのグラウンド用導体層間を、又は 2 つの電源用導体層間を電氣的に接続するインタスティシャル・バイア・ホール又はバイア・ホールが形成されていることを特徴とする請求の範囲第 1 項乃至第 3 項の何れか 1 つに記載の IC ソケット。

8. 上記信号用スルーホール導体と、上記グラウンド用導体層及び上記電源用導体層との間のギャップの距離が、これらギャップ間の静電容量に、上記信号用スルーホール導体と上記インタスティシャル・バイア・ホール又はバイア・ホールとの間に生じる静電容量を加えた合計の静電容量と、上記プローブコンタクトの寄生インダクタンスとで形成される伝送線路の特性インピーダンスが所定値となるように、設定されていることを特徴とする請求の範囲第 7 項に記載の IC ソケット。

9. グラウンド用導体層と電源用導体層と信号用導電層とが所定の間隔で積層されており、かつ垂直方向に複数個のスルーホールが形成されている多層プリント基板と、

この多層プリント基板の全てのスルーホールにそれぞれ形成されたスルーホール導体であって、上記グラウンド用導体層と電氣的に接続されたグラウンド用スルーホール導体、上記電源用導体層と電氣的に接続された電源用スルーホール導体、及び上記信号用導体層と電氣的に接続された信号用スルーホール導体と、

上記スルーホール導体にそれぞれ取り付けられた筒状のソケットと、

これら筒状のソケットに嵌着された、被試験 I C の端子に電気接触されるプローブコンタクト

とを具備し、

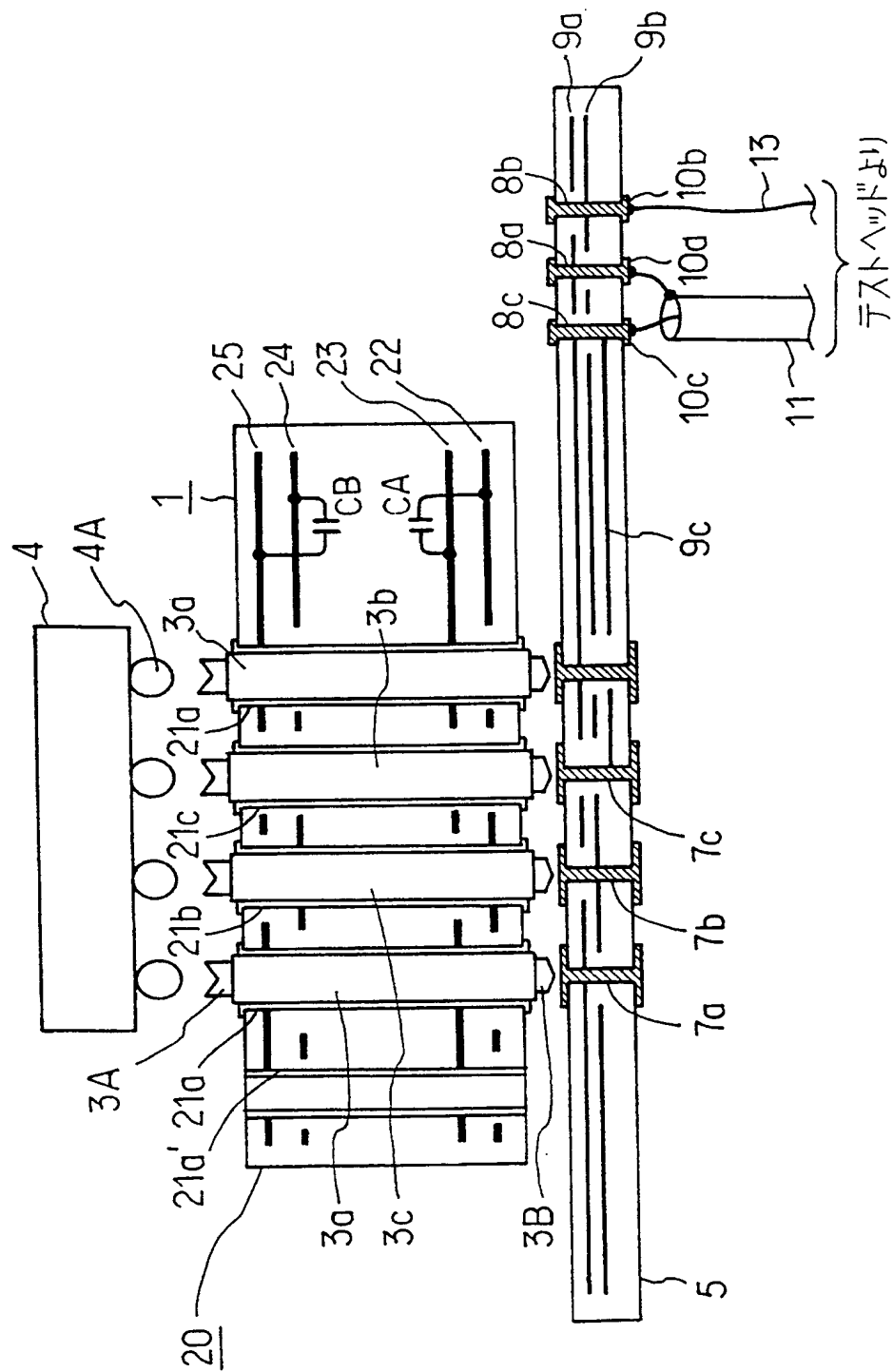
上記グラウンド用導体層と上記電源用導体層との間に上記多層プリント基板の材料を誘電体としてキャパシタンスを生成させ、電源雑音をバイパスするように構成したことを特徴とする I C ソケット。

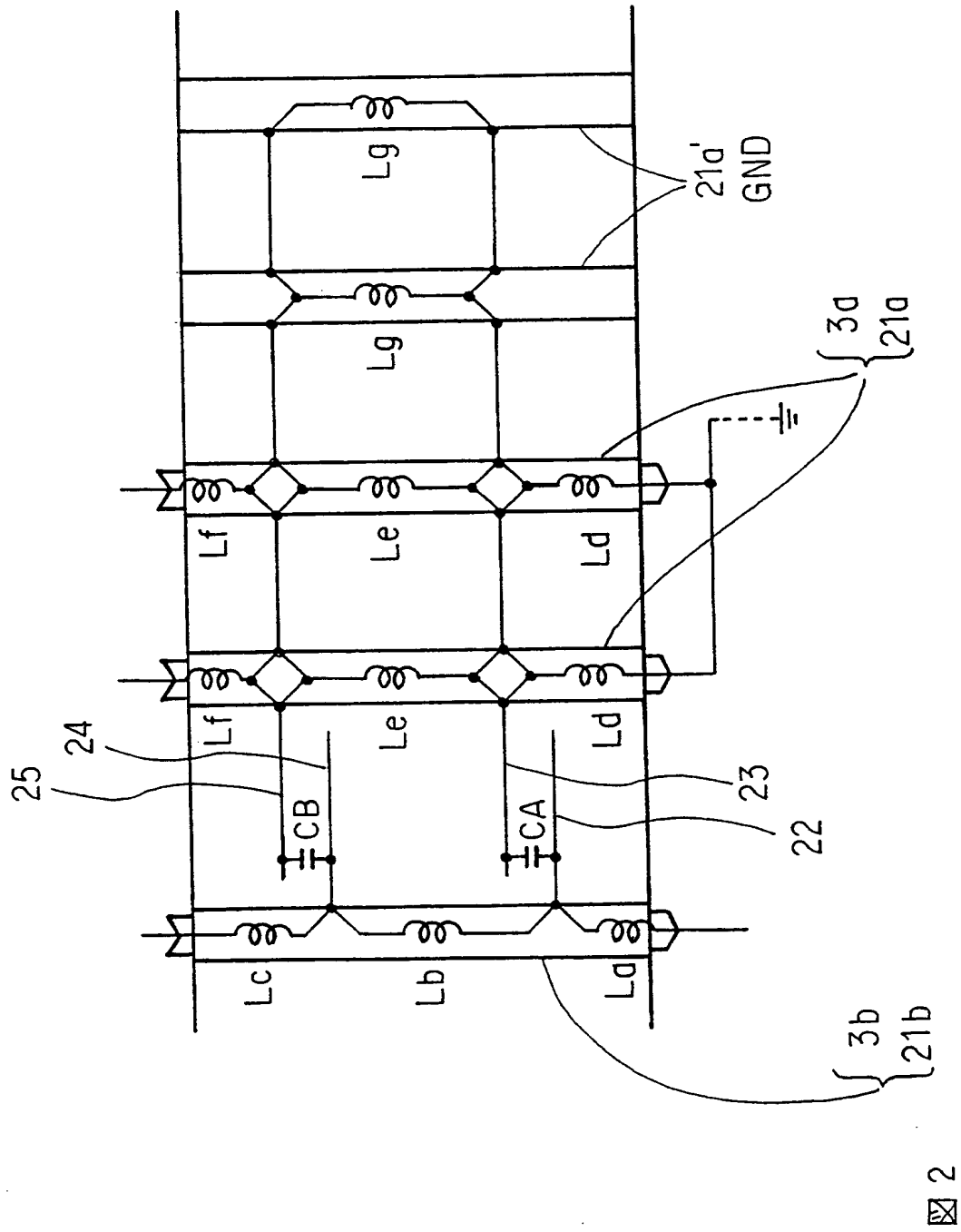
10. 上記グラウンド用スルーホール導体は複数個形成されていることを特徴とする請求の範囲第9項に記載の I C ソケット。

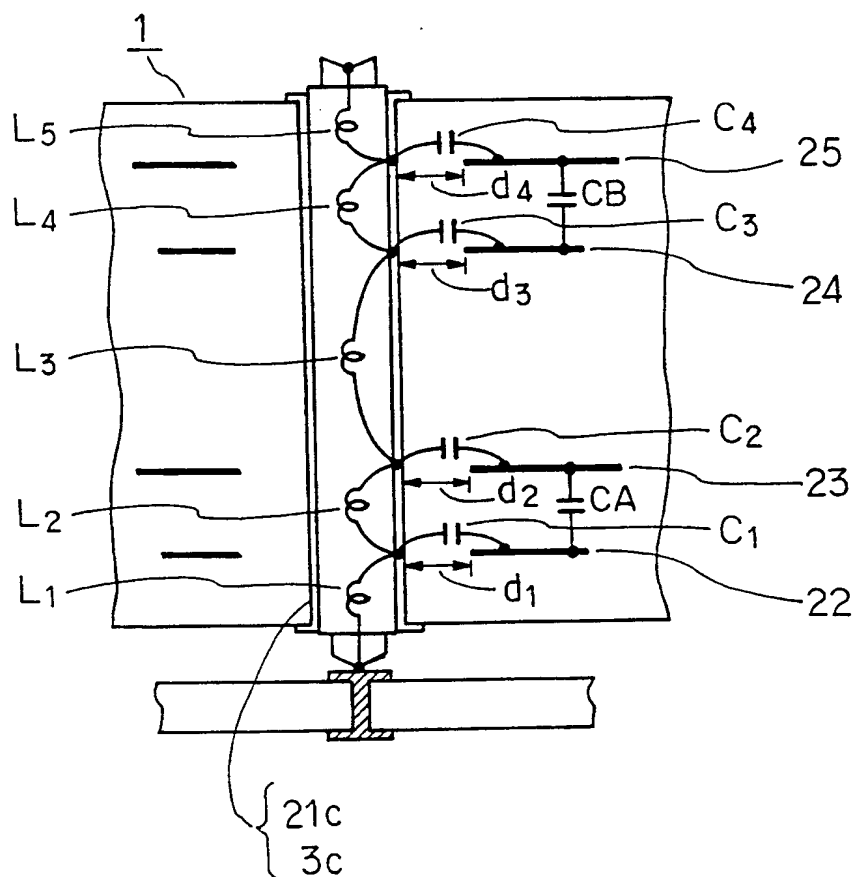
11. 上記多層プリント基板に上記グラウンド用スルーホール導体が複数個形成され、これらグラウンド用スルーホール導体の内の少なくとも1つには上記プローブコンタクトが取り付けられていないことを特徴とする請求の範囲第9項に記載の I C ソケット。

12. 上記信号用スルーホール導体と、上記グラウンド用導体層及び上記電源用導体層との間のギャップの距離が、これらギャップ間の静電容量と、上記プローブコンタクトの寄生インダクタンスとで形成される伝送線路の特性インピーダンスが所定値となるように、設定されていることを特徴とする請求の範囲第9項乃至第11項の何れか1つに記載の I C ソケット。

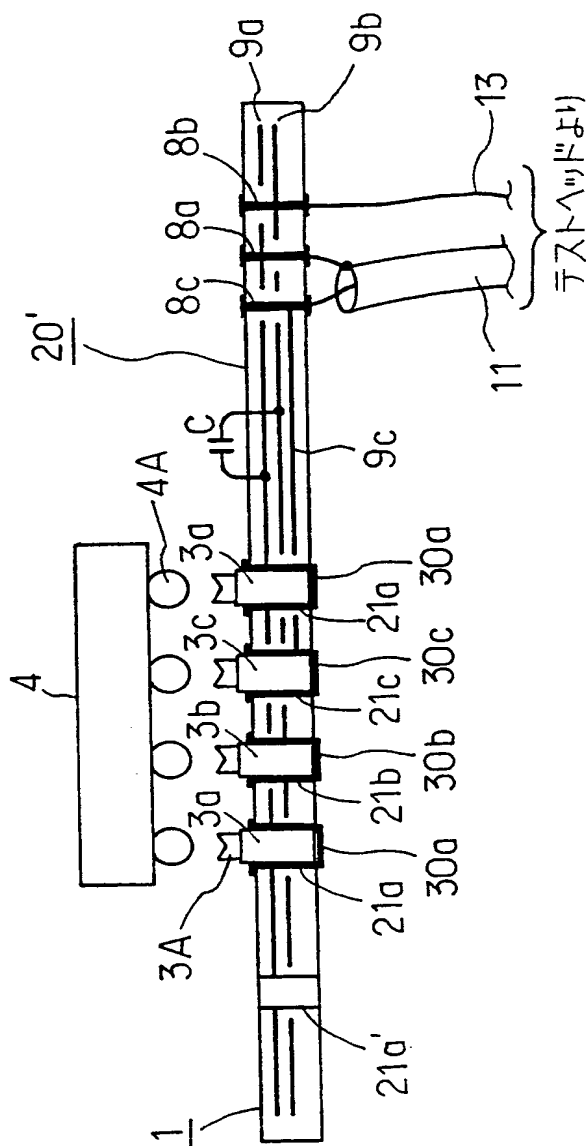
13. 上記被試験 IC が BGA・IC であり、上記プローブコンタクトのそれぞれは、その被試験 IC 側の一端に、BGA・IC のボール状の端子と接触するコンタクトが形成され、上記多層プリント基板の少なくとも一方の面に、上記グラウンド用導体層、上記電源用導体層及び上記信号用導体層と電氣的に接続された外部接続用ランドが形成されていることを特徴とする請求の範囲第 9 項乃至第 11 項の何れか 1 つに記載の IC ソケット。

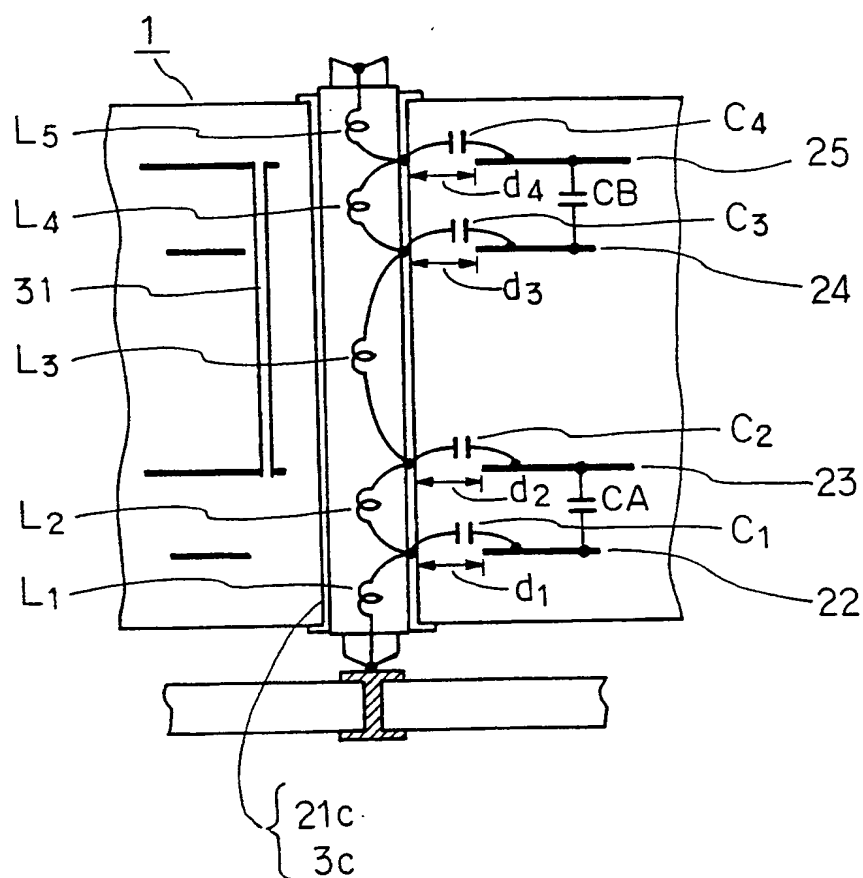


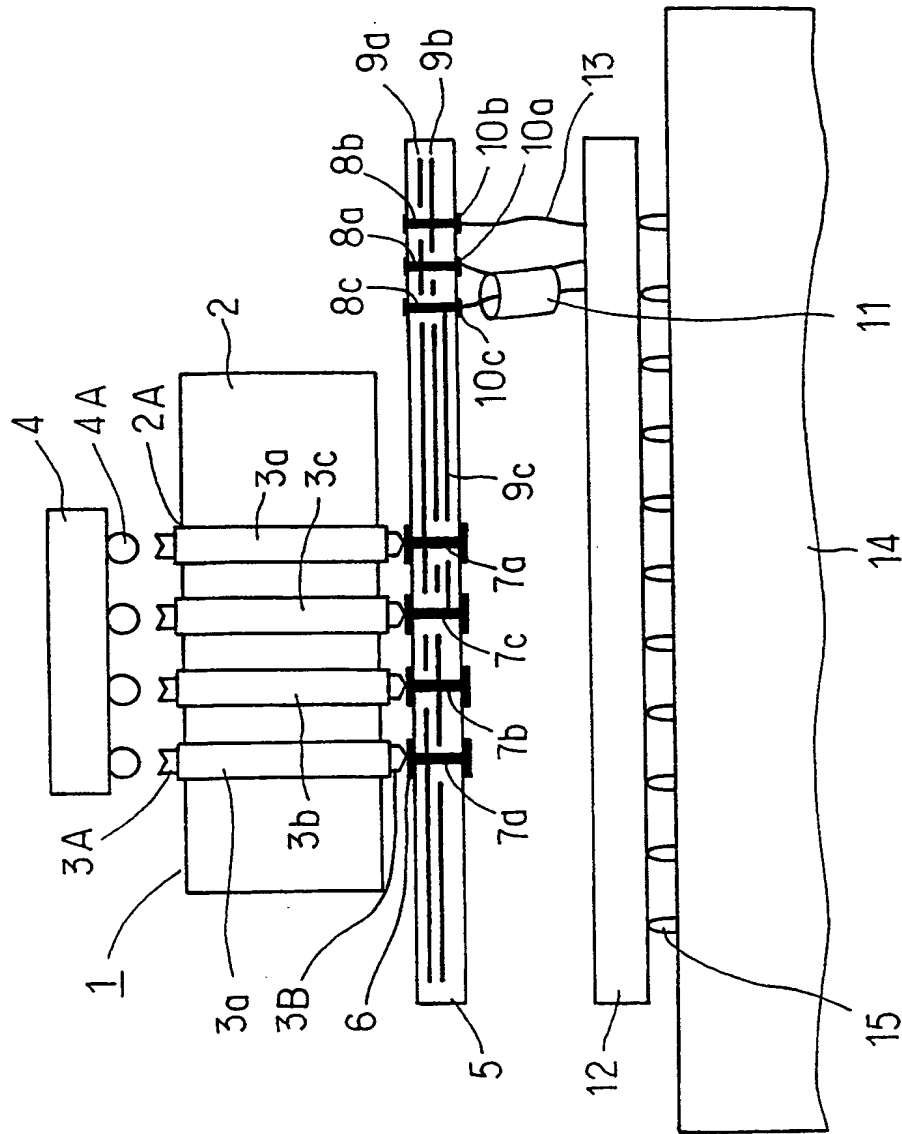




3







INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00743

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁶ H01R33/76, H01R33/945, H01L23/32, H01L21/66, G01R31/26, H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁶ H01R33/76, H01R33/945, H01L23/32, H01L21/66, G01R31/26, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1940-1996	Toroku Jitsuyo Shinan Koho	1994-1999
Kokai Jitsuyo Shinan Koho	1971-1996	Jitsuyo Shinan Toroku Koho	1996-1999

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-37255, A (Hitachi,Ltd.), 6 February, 1996 (06. 02. 96), Par. Nos. [0027] to [0051] ; Figs. 1, 5 to 9 (Family: none)	1, 2, 4, 5, 9, 10, 12, 13
X	JP, 5-74532, A (Keru K.K.), 26 March, 1993 (26. 03. 93), Par. Nos. [0008] to [0020] ; Figs. 2, 7, 8 & US, 5102352, A	1, 2, 4, 9, 10, 12
X	JP, 58-129792, A (Mupac Corp.), 2 August, 1983 (02. 08. 83), Full text ; Figs. 8 to 11 & EP, 86961, A2 & US, 4494172, A & CA, 1198829, A1	1, 2, 6, 9, 10
X	JP, 5-315029, A (Hitachi,Ltd.), 26 November, 1993 (26. 11. 93), Par. Nos. [0011] to [0036] ; Fig. 2 (Family: none)	1, 2, 9, 10

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

 Date of the actual completion of the international search
6 May, 1999 (06. 05. 99)

 Date of mailing of the international search report
18 May, 1999 (18. 05. 99)

 Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP99/00743

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-226524, A (Hitachi, Ltd.), 3 September, 1993 (03. 09. 93), Par. Nos. [0008] to [0017] ; Fig. 2 (Family: none)	1, 2, 9, 10

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

国際調査報告

国際出願番号 PCT/JP99/00743

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl. ⁶ H01R33/76, H01R33/945, H01L23/32, H01L21/66 G01R31/26, H05K3/46		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl. ⁶ H01R33/76, H01R33/945, H01L23/32, H01L21/66 G01R31/26, H05K3/46		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1940~1996年 日本国公開実用新案公報 1971~1996年 日本国登録実用新案公報 1994~1999年 日本国実用新案登録公報 1996~1999年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP, 8-37255, A (株式会社日立製作所), 6. 2月. 1996 (06. 02. 96) 段落番号【0027】-【0051】, 第1, 5-9図 (ファミリーなし)	1, 2, 4, 5, 9, 10 12, 13
X	JP, 5-74532, A (ケル株式会社), 26. 3月. 1993 (26. 03. 93) 段落番号【0008】-【0020】, 第2, 7, 8図 & US, 5102352, A	1, 2, 4, 9, 10, 12
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 06. 05. 99		国際調査報告の発送日 18.05.99
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 井上 哲男 電話番号 03-3581-1101 内線 3331

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 58-129792, A (ミューパック・コーポレーション), 2. 8月. 1983 (02. 08. 83) 全文, 第8-11図 & EP, 86961, A2 & US, 4494172, A & CA, 1198829, A1	1, 2, 6, 9, 10
X	J P, 5-315029, A (株式会社日立製作所), 26. 11 月. 93 (26. 11. 93) 段落番号【0011】-【0036】, 第2図 (ファミリーなし)	1, 2, 9, 10
X	J P, 5-226524, A (株式会社日立製作所), 3. 9月. 1993 (03. 09. 93) 段落番号【0008】-【0017】, 第2図 (ファミリーなし)	1, 2, 9, 10